

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97693

(43) 公開日 平成8年(1996)4月12日

(51) Int. C.I. 6 識別記号 序内整理番号 F I  
 H 03 K 17/04 E 9184 - 5 K  
 17/16 H 9184 - 5 K  
 19/0175  
 19/003 Z

H 03 K 19/00 101 F

審査請求 未請求 請求項の数 2 FD (全 9 頁)

(21) 出願番号 特願平6-252954

(71) 出願人 000003137

マツダ株式会社

広島県安芸郡府中町新地3番1号

(22) 出願日 平成6年(1994)9月20日

(72) 発明者 佐古 秀雄

広島県安芸郡府中町新地3番1号

マツダ株

式会社内

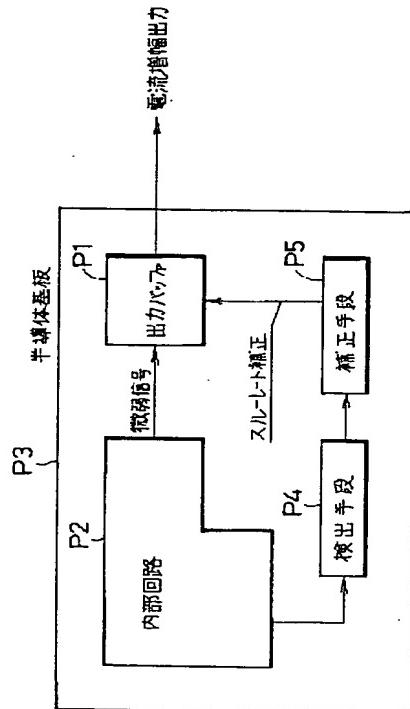
(74) 代理人 弁理士 永田 良昭

(54) 【発明の名称】出力バッファ補償回路

## (57) 【要約】

【目的】内部回路内の半導体素子の少なくとも電流駆動能力を検出し、検出された電流駆動能力に対応して出力バッファのスルーレートを補正することで、製造ばらつき、経年変化、使用温度条件等により出力バッファのスルーレートが変化するのを防止し、延いては同時スイッチングノイズ、グランドバウンスに起因する誤動作を防止する。

【構成】内部回路P2からの微弱信号を半導体基板P3より出力される信号として電流増幅する出力バッファP1を備えた出力バッファ補償回路であって、上記内部回路P2内の半導体素子の少なくとも電流駆動能力を同一基板P3内にて検出する検出手段P4と、上記検出手段P4により検出された電流駆動能力に対応して出力バッファP1のスルーレートを補正する補正手段P5とを備えたことを特徴とする。



## 【特許請求の範囲】

【請求項1】内部回路からの微弱信号を半導体基板より出力される信号として電流増幅する出力バッファを備えた出力バッファ補償回路であって、上記内部回路内の半導体素子の少なくとも電流駆動能力を同一基板内にて検出する検出手段と、上記検出手段により検出された電流駆動能力に対応して出力バッファのスルーレートを補正する補正手段とを備えた出力バッファ補償回路。

【請求項2】上記検出手段は、上記半導体素子の電流駆動能力を上記半導体基板内に設けたリングオシレータの発振周波数により検出する請求項1記載の出力バッファ補償回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、例えば、半導体基板上に構成された内部回路からの微弱信号を半導体基板より出力される信号として電流増幅（電流駆動能力を向上）する出力バッファを備えたような出力バッファ補償回路に関する。

## 【0002】

【従来の技術】従来、上述例の出力バッファとしては、例えば、図8に示す回路構成のものがある。すなわち内部回路からの微弱信号を入力する入力端子81と、電流増幅された出力信号を出力する出力端子82との間にPチャンネルMOSトランジスタ83とNチャンネルMOSトランジスタ84とを図示の如く接続したC-MOS（complementary MOS）を介設した出力バッファである。

【0003】上述のPチャンネルMOSトランジスタ83はそのゲートにハイレベル信号Hが印加されるとOFF（非導通）となり、ローレベル信号Lが印加されるとON（導通）となる。逆にNチャンネルMOSトランジスタ84はそのゲートにハイレベル信号Hが印加されるとON（導通）となり、ローレベル信号Lが印加されるとOFF（非導通）となる。

【0004】したがって図8に示すように上述の入力端子81にローレベル信号Lが印加された時には、出力端子82には電流増幅されたハイレベル信号Hが出力され、図9に示すように上述の入力端子81にハイレベル信号Hが印加された時には、出力端子82には電流増幅されたローレベル信号Lが出力される。要するに入力信号が電流増幅（電流駆動能力アップ）かつ論理反転された出力信号が得られる。そして、通常は図8、図9に示すようなC-MOS構成の出力バッファを前段と後段とに組合せ、前段のMOSトランジスタの物理的な大きさを小に、後段のMOSトランジスタの物理的な大きさを大にして用いられる。一方、MOSトランジスタはゲートのインピーダンスが大きい関係上、図8、図9に仮想線で示す如く、ゲートとグランド（アースと同意）87との間には寄生的な容量（コンデンサ）85が等価回路

的に形成される。

【0005】ところで、内部回路および上述の出力バッファをパッケージングするパッケージに収納させ、このパッケージにリードフレームを取付けた場合には、このリードフレームにインダクタンス分が存在する関係上、次のような問題点があった。

【0006】つまり、図8、図9の電源端子86側およびグランド87側には上述のリードフレームによるインダクタンス分が存在するので、例えば電流を供給し始める時、つまりPチャンネルMOSトランジスタ83がOFFからONに切換わった時、上述のインダクタンス分により次に【数1】で示す逆起電力が発生する。

## 【0007】

## 【数1】

$$L \frac{di}{dt}$$

但しLはインダクタンス

$\frac{di}{dt}$  は電流(i)の時間(t)変化率

20

【0008】この逆起電力の影響を受けて電源端子86の電圧は例えば図10に示す如く5Vから4V以下がり、これと同様にグランド87側の電圧も逆起電力の影響により例えば0Vから1Vに上がる。このように上述のリードフレームにインダクタンス分が存在する関係上、半導体基板内部で引き回わしている電源ラインの電圧と、グランドラインの電圧とが変動し、半導体基板に入力される信号に対するハイレベルHおよびローレベルLの判定領域が狭くなるため、ハイレベルH、ローレベルLの判定が困難となり、誤動作が発生する。このような誤動作は同時スイッチングノイズ、グランドバウンス（グランドレベルの浮き）として從来から認識されていた。

【0009】このような問題点を解決するため上述の【数1】における $di/dt$ （電流の時間変化率）を小さくする手段がある。すなわち、同時に出力する出力バッファ数を減少させる使い方による手段と、電流変化率 $di/dt$ をなまして（ここに、なますとは、電流が変化する速度を遅くするとの意味である）同電流変化率 $di/dt$ を低減させる手段との大別して2つの手段である。

【0010】前者の手段は、同時にスイッチングする出力バッファの数を制限することで、 $di/dt$ を小さくする手段であるが、通常マイクロコンピュータ等にはデータバスが用いられる関係上、アプリケーション(application, 応用) 上の問題点があり、実用的ではない。後者の手段は、出力バッファの出力がハイレベルHからローレベルLまたはローレベルLからハイレベルHに変化するのを、なまして、電流変化率 $di/dt$ を下げ、以50て同時スイッチングノイズを小さくする回路構成上の手

段であるが、この後者の手段においても次のような問題点があった。

【0011】すなわち図11にスルーレート（出力の変化率）を示すように、このスルーレートには上限と下限とがある。なまし過ぎると次段のIC（別の半導体基板上に構成された集積回路）の入力段において電源からグランドに貫通電流が流れる関係上、スルーレートの下限が必然的に定まり、なまし不足が生ずると同時にスイッチングノイズが発生するので、スルーレートの上限が必然的に定まり、このスルーレートの上限、下限によりスルーレートの許容範囲が特定される。

【0012】そこで、本来ならばスルーレート制御を実行しない状態の出力バッファのもつてゐるスルーレートの能力が上述のスルーレート許容範囲内に入るようして制御すればよいが、ICの製造ばらつき、使用温度条件、経年変化等によりICのスルーレートの能力にばらつきがあるうえ、目標とするスルーレート（スルーレート許容範囲）にもばらつきがあり、一律になりますことは困難であり、特に出力バッファそれ自体のスルーレート能力の前記ばらつきの幅に対して目標となるスルーレートの許容範囲が狭い時には、適切なスルーレートを得ることができない問題点があつた。

【0013】一方、特開平5-110401号公報に開示された如く、C-MOS構成のインバータの電源およびグランド側にスイッチング素子としてのMOSトランジスタを設けて、貫通電流を効果的に減少させるように構成した出力バッファがあるが、この従来の出力バッファにおいても上述の同様の問題点があつた。

#### 【0014】

【発明が解決しようとする課題】この発明の請求項1記載の発明は、内部回路内の半導体素子の少なくとも電流駆動能力を検出し、検出された電流駆動能力に対応して出力バッファのスルーレートを補正することで、製造ばらつき、経年変化、使用温度条件等により出力バッファのスルーレートが変化するのを防止し、延いては同時にスイッチングノイズ、グランドバウンスに起因する誤動作を適確に防止することができる出力バッファ補償回路の提供を目的とする。

【0015】この発明の請求項2記載の発明は、上記請求項1記載の発明の目的と併せて、半導体素子の電流駆動能力を同一半導体基板内に設けられたリングオシレータの発振周波数により検出することで、半導体基板の外部に別途付加装置を付けることなく、リングオシレータからの出力に基づいて出力バッファのスルーレートを補正することができる出力バッファ補償回路の提供を目的とする。

#### 【0016】

【課題を解決するための手段】この発明の請求項1記載の発明は、内部回路からの微弱信号を半導体基板より出力される信号として電流増幅する出力バッファを備えた

出力バッファ補償回路であつて、上記内部回路内の半導体素子の少なくとも電流駆動能力を同一基板内にて検出する検出手段と、上記検出手段により検出された電流駆動能力に対応して出力バッファのスルーレートを補正する補正手段とを備えた出力バッファ補償回路であることを特徴とする。

【0017】この発明の請求項2記載の発明は、上記請求項1記載の発明の構成と併せて、上記検出手段は、上記半導体素子の電流駆動能力を上記半導体基板内に設けたリングオシレータの発振周波数により検出する出力バッファ補償回路であることを特徴とする。

#### 【0018】

【発明の作用及び効果】この発明の請求項1記載の発明によれば、図7にクレーム対応図で示すように、上述の出力バッファP1は内部回路P2からの微弱信号を半導体基板P3より出力される信号として電流増幅（電流駆動能力アップ）するが、上述の検出手段P4は同一半導体基板P3内において内部回路P2内の半導体素子の少なくとも電流駆動能力を検出し、補正手段P5は検出手段P4により検出された電流駆動能力に対応して出力バッファP1のスルーレート（出力の変化率）を補正する。

【0019】このように出力バッファP1の電流駆動能力を判断するために、同一の半導体基板P3内に上述の検出手段P4を構成する。つまり同一半導体基板P3上であるため製造ばらつきもなく、経年変化および使用温度条件も同一であるから、検出手段P4で内部回路P2の半導体素子の電流駆動能力を検出することにより、出力バッファP1の電流駆動能力を推測することができ、これによって出力バッファP1のスルーレートをどの程度なまらせるとよいかが確認でき、これに基づいて上述の補正手段P5が出力バッファP1のスルーレートを補正するので、製造ばらつき、経年変化、使用温度条件等により出力バッファP1のスルーレートが変化するのを防止し、延いては同時にスイッチングノイズ、グランドバウンスに起因する誤動作を防止することができる効果がある。

【0020】この発明の請求項2記載の発明によれば、上記請求項1記載の発明の効果と併せて、上述の検出手段を同一半導体基板内に設けられたリングオシレータで構成し、半導体素子の電流駆動能力をリングオシレータの発振周波数により検出する。

【0021】つまり、リングオシレータの発振周波数を検出することで、出力バッファ一段当りの遅延時間が認識でき、遅延時間が短いもの程、電流駆動能力が大きい（リングオシレータの発振周波数が高い場合には電流駆動能力が大きい）ので、スルーレートの適正な補正を実行することができる。

【0022】このように、半導体素子の電流駆動能力を同一半導体基板内に設けられたリングオシレータの発振

周波数により検出することで、半導体基板の外部に別途付加装置を付けることなく、リングオシレータの出力に基づいて出力バッファのスルーレートを、ノイズ発生および貫通電流発生がないように、常に静的に補正することができる効果がある。

#### 【0023】

【実施例】この発明の一実施例を以下図面に基づいて詳述する。図面は出力バッファ補償回路を示し、図1において、半導体基板1には複数の入力バッファ2…と、内部回路3と、複数の出力バッファ4…と、スルーレート制御回路5とが形成されている。

【0024】上述の入力バッファ2…は半導体基板1外部からの信号を受けて、この信号を内部回路3で扱い得る信号に変える回路である。また上述の出力バッファ4…は、内部回路3からの微弱信号を半導体基板1より出力される信号として電流増幅する回路である。上述の出力バッファ4およびスルーレート制御回路5の具体的な回路構成は図2に示す通りである。

【0025】まず、出力バッファ4の回路構成について述べると、この実施例では前後段にC-MOSを構成している。すなわち電源端子6とグランド7との間にPチャネルMOSトランジスタ8およびNチャネルMOSトランジスタ9を接続して、後段側増幅部10を構成し、一方、電源端子6とグランド7との間にPチャネルMOSトランジスタ11, 12およびNチャネルMOSトランジスタ13, 14を接続して、前段側増幅部15, 16を構成している。

【0026】しかも、後段側増幅部10のPチャネルMOSトランジスタ8と対応して、前段側増幅部15におけるNチャネルMOSトランジスタ13のソースSとグランド7との間には可変抵抗として作用するNチャネルMOSトランジスタ17を介設する一方、後段側増幅部10のNチャネルMOSトランジスタ9と対応して、前段側増幅部16におけるPチャネルMOSトランジスタ12のソースSと電源端子6との間には可変抵抗として作用するPチャネルMOSトランジスタ18を介設している。

【0027】また後段側増幅部10におけるPチャネルMOSトランジスタ8のドレンDと、NチャネルMOSトランジスタ9のドレンDとの交点19は出力バッフル（出力端子のこと）20に接続している。さらに前段側増幅部15, 16においてC-MOSを構成するMOSトランジスタ11, 13, 12, 14はそれぞれ内部回路3からの微弱信号を受ける入力端子21に接続している。ここで、上述の前段側増幅部15, 16においてC-MOSに対して別途設けたNチャネルMOSトランジスタ17およびPチャネルMOSトランジスタ18は後述するスルーレート制御信号e, fにより可変抵抗と同様の働きをする。

【0028】次に、スルーレート制御回路5の回路構成

について述べると、奇数個のインバータ（反転回路）2…を直列かつリング接続して構成したリングオシレータ23を設け、このリングオシレータ23の出力側をカウンタ24（パルスカウンタ）に接続して、このカウンタ24で基準信号b（例えば水晶発振を分周して形成した基準信号）がハイレベルHの間に上述のリングオシレータ23から発振されるパルス数をカウントすべく構成している。

【0029】ここで、上述のリングオシレータ23はインバータ22を奇数個有するものであるから、その出力側には図3に示す出力aつまり発振波形が得られ、この発振波形の半周期 $\alpha$ は上述のインバータ22の遅延時間 $t_d$ を全て加算した値 $\Sigma t_d$ になるので、このリングオシレータ23の発振波形からC-MOS一段当たりの遅延時間を推測することができる。

【0030】すなわち上述の遅延時間 $\Sigma t_d$ は電流駆動能力と逆比例の関係にあり、遅延時間 $\Sigma t_d$ が短いもの程、電流駆動能力が大きいことになる。換言すれば次段のインバータ22を構成するMOSトランジスタのゲートとグランドとの間に存在する寄生コンデンサ（容量）に電荷が蓄えられるまでは信号が得られないで、電流駆動能力が大きいもの程、早く信号が伝わることになる。つまりリングオシレータ23の遅延時間 $t_d$ が短く、その発振周波数が高い場合には、電流駆動能力が大となる。

【0031】また、上述のカウンタ24にはライン25, 26を各別に介してデジタル・アナログ変換器（以下単にD/A変換器と略記する）27, 28を接続し、デジタル的なカウント出力c, dをアナログ信号に変換すべく構成している。ここで、一方のD/A変換器28には所定ビット数のカウンタ出力dをそのまま印加し、他方のD/A変換器27には所定ビット数のカウンタ出力dを反転させたカウンタ出力cを印加する。例えば、カウンタ出力cが「00000100」の場合には、カウンタ出力dはその反転であるので「11111011」となる。

【0032】そして上述の一方のD/A変換器27の出力にスルーレート制御信号eを得て、このスルーレート制御信号eをライン29を介して出力バッファ4のNチャネルMOSトランジスタ17のゲートに印加すべく構成すると共に、他方のD/A変換器28の出力にスルーレート制御信号fを得て、このスルーレート制御信号fをライン30を介して出力バッファ4のPチャネルMOSトランジスタ18のゲートに印加すべく構成している。

【0033】これらの各MOSトランジスタ17, 18は上述のスルーレート制御信号e, fにより可変抵抗として作用し、一方のNチャネルMOSトランジスタ17は出力バッファ4がローレベルからハイレベルに変化する時（立上がり時）のスルーレートを制御し、他方のPチャネルMOSトランジスタ18は出力バッファ4

がハイレベルからローレベルに変化する時（立下がり時）のスルーレートを制御する。

【0034】図示実施例は上記の如く構成するものにして、以下作用を説明する。まず、図3に基づいてICの電流駆動能力が大きくなつた場合について述べると、上述の電流駆動能力が大となると、リングオシレータ23の発振周波数が高くなり、このため基準信号bがハイレベルHの間に上述のカウンタ24でカウントされるリングシレータ出力aのパルス数は多くなる。そこで、今回のカウント値をnとすると、

前回カウント値 < 今回カウント値 n

の関係式が成立する。

【0035】上述の今回カウント値nおよび今回カウント値nの反転信号はカウンタ出力d, cとしてそれぞれのD/A変換器28, 27に印加され、これらD/A変換器28, 27からは図3に示すスルーレート制御信号f, eが得られる。

【0036】一方のスルーレート制御信号eは例えば4Vから1.5Vに下がり、この電圧がNチャンネルMOSトランジスタ17のゲートに印加されるので、可変抵抗として作用するこのMOSトランジスタ17の抵抗値が大きくなり、出力バッファ4の立上がりが遅くなり、スルーレートが下がる。

【0037】他方のスルーレート制御信号fは例えば1Vから3.5Vに上がり、この電圧がPチャンネルMOSトランジスタ18のゲートに印加されるので、可変抵抗として作用するこのMOSトランジスタ18の抵抗値が大きくなり、出力バッファ4の立下がりが遅くなり、スルーレートが下がる。

【0038】このようにリングオシレータ23の発振周波数が高くなつた際（リングオシレータ23の処理速度が早い時）には、図4に示す如く出力バッファ4のスルーレートを下げる制御（実線から点線に移行する制御）にて、出力バッファ4のスルーレートを許容範囲内に保つ。なお、図2に付記したスルーレート制御信号e, fは図3に対応するものである。

【0039】次に、図5に基づいてICの電流駆動能力が小さくなつた場合について述べると、上述の電流駆動能力が小さくなると、リングオシレータ23の発振周波数が低くなり、このため基準信号bがハイレベルの間に上述のカウンタ24でカウントされるリングシレータ出力aのパルス数は少なくなる。そこで、今回のカウント値をmとすると、

前回カウント値 > 今回カウント値 m

の関係式が成立する。

【0040】上述の今回カウント値mおよび今回カウント値mの反転信号はカウンタ出力d, cとしてそれぞれのD/A変換器28, 27に印加され、これらD/A変換器28, 27からは図5に示すスルーレート制御信号f, eが得られる。

【0041】一方のスルーレート制御信号eは例えば

1. 5Vから4Vに上がり、この電圧がNチャンネルMOSトランジスタ17のゲートに印加されるので、可変抵抗として作用するこのMOSトランジスタ17の抵抗値が小さくなり、出力バッファ4の立上がりが早くなり、スルーレートが上がる。

【0042】他方のスルーレート制御信号fは例えば

3. 5Vから1Vに下がり、この電圧がPチャンネルMOSトランジスタ18のゲートに印加されるので、可変抵抗として作用するこのMOSトランジスタ18の抵抗値が小さくなり、出力バッファ4の立下がりが早くなり、スルーレートが上がる。

【0043】このようにリングオシレータ23の発振周波数が低くなつた際（リングオシレータ23の処理速度が遅い時）には、図6に示す如く出力バッファ4のスルーレートを上げる制御（実線から点線に移行する制御）にて、出力バッファ4のスルーレートを許容範囲内に保つ。

【0044】以上要するに、上述の出力バッファ4は内部回路3からの微弱信号を半導体基板1より出力される信号として電流増幅（電流駆動能力アップ）するが、上述の検出手段（リングオシレータ23およびカウンタ24参照）は内部回路3内の半導体素子の少なくとも電流駆動能力（この実施例では処理速度）を検出し、補正手段（D/A変換器27, 28およびMOSトランジスタ17, 18参照）は検出手段により検出された電流駆動能力に対応して出力バッファ4のスルーレート（出力の変化率）を補正する。

【0045】このように出力バッファ4の電流駆動能力を判断するために、同一の半導体基板1内に上述の検出手段を構成する。つまり同一半導体基板1上であるため製造ばらつきもなく、経年変化および使用温度条件も同一であるから、検出手段で内部回路3の半導体素子の電流駆動能力を検出することにより、出力バッファ4の電流駆動能力を推測することができ、これによって出力バッファ4のスルーレートをどの程度なまらせるとよいかが確認でき、これに基づいて上述の補正手段が出力バッファ4のスルーレートを補正するので、製造ばらつき、経年変化、使用温度条件等により出力バッファ4のスルーレートが変化するのを防止し、延いては同時スイッチングノイズ、グランドバウンスに起因する誤動作を防止することができる効果がある。

【0046】また、上述の検出手段を同一半導体基板1に設けられたリングオシレータ23で構成し、半導体素子の電流駆動能力をリングオシレータ23の発振周波数により検出する。つまり、リングオシレータ23の発振周波数を検出することで、出力バッファ4の遅延時間が認識でき、遅延時間が短いもの程、電流駆動能力が大きいので、スルーレートの適正な補正を実行することができる。

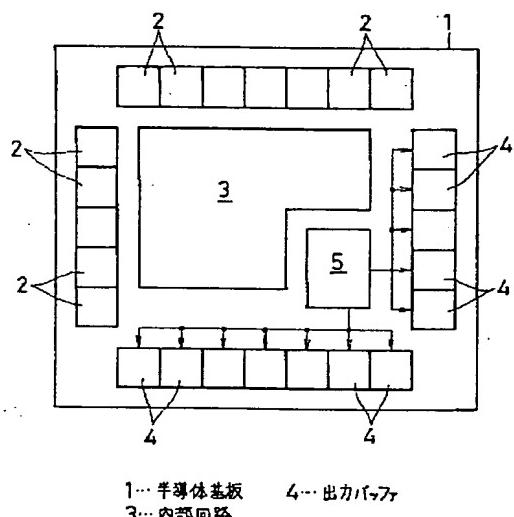
【0047】このように、半導体素子の電流駆動能力を同一半導体基板1内に設けられたリングオシレータ23の発振周波数により検出することで、半導体基板1の外部に別途付加装置を付けることなく、リングオシレータ23の出力に基づいて出力バッファ4のスルーレートを、ノイズ発生および貫通電流発生がないように、常に静的に補正することができる効果がある。

【0048】この発明の構成と、上述の実施例との対応において、この発明の少なくとも電流駆動能力を検出する検出手段は、実施例の処理速度を検出するリングオシレータ23とカウンタ24に対応し、以下同様に、出力バッファのスルーレートを補正する補正手段は、D/A変換器27、28と、可変抵抗として作用するNチャネルMOSトランジスタ17およびPチャネルMOSトランジスタ18に対応するも、この発明は、上述の実施例の構成のみに限定されるものではない。また、実施例で示した電圧の数値は一例にすぎない。

【図面の簡単な説明】

【図1】本発明の出力バッファ補償回路を備えた半導体基板構成を示す説明図。

【図2】出力バッファおよびスルーレート制御回路を示す電気回路図。



【図3】リングオシレータの発振周波数が高くなった際の各信号の説明図。

【図4】スルーレートを下げる制御の説明図。

【図5】リングオシレータの発振周波数が高くなった際の各信号の説明図。

【図6】スルーレートを上げる制御の説明図。

【図7】クレーム対応図。

【図8】従来の出力バッファを示す電気回路図。

【図9】従来の出力バッファにおける論理反転出力状態を示す電気回路図。

【図10】同時スイッチングノイズの説明図。

【図11】スルーレート許容範囲を示す説明図。

【符号の説明】

1…半導体基板

3…内部回路

4…出力バッファ

17…NチャネルMOSトランジスタ

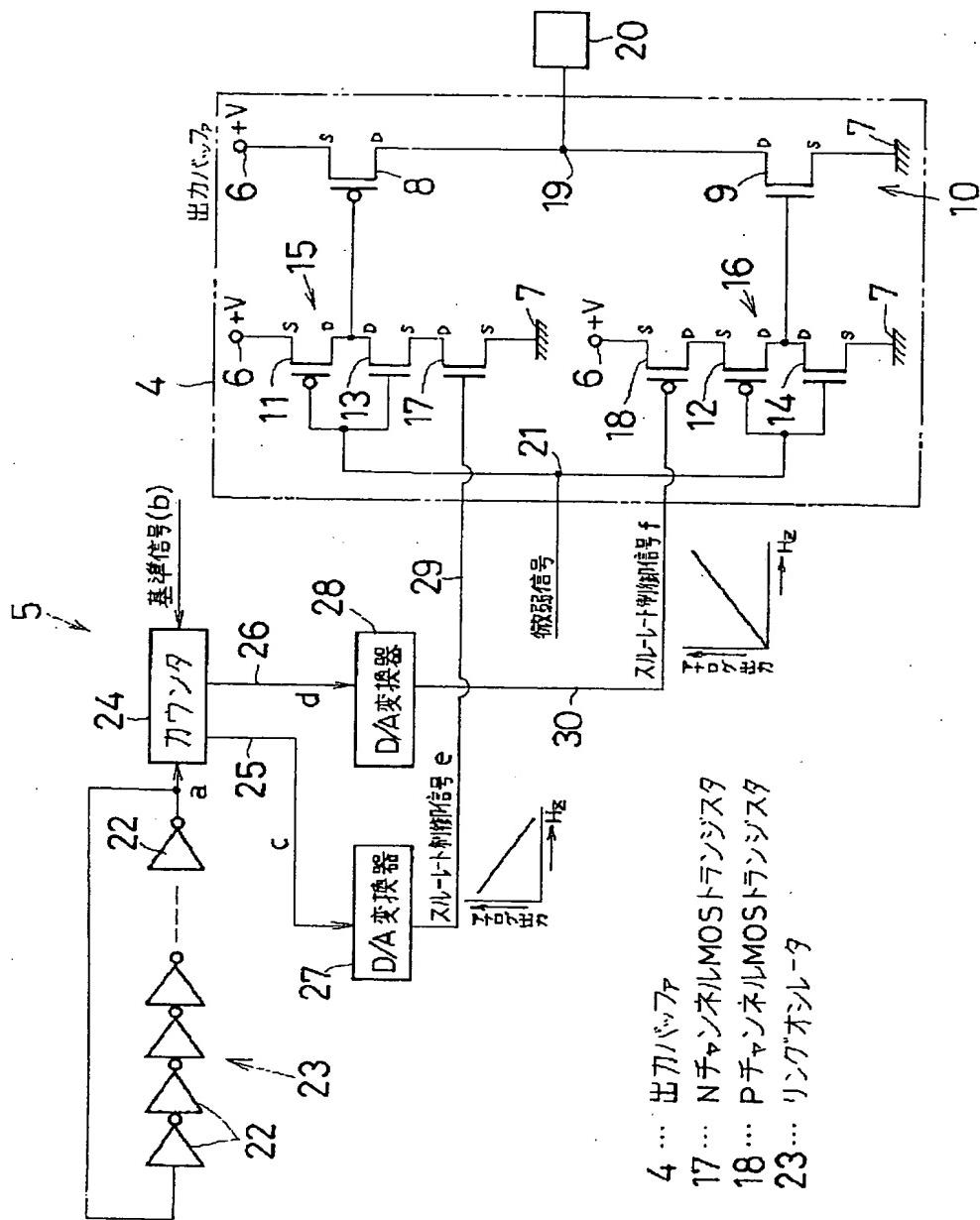
18…PチャネルMOSトランジスタ

23…リングオシレータ

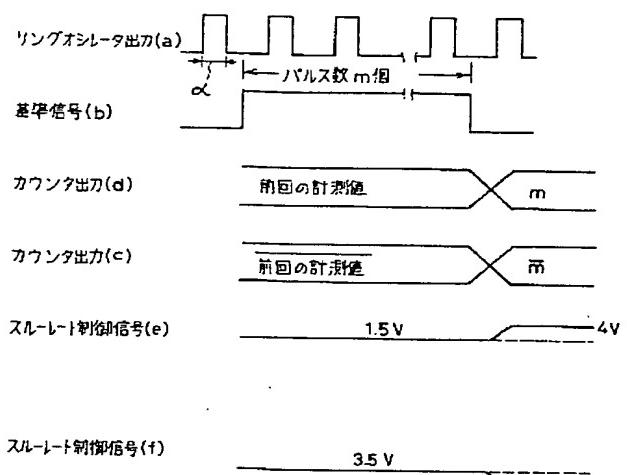
24…カウンタ

27, 28…D/A変換器

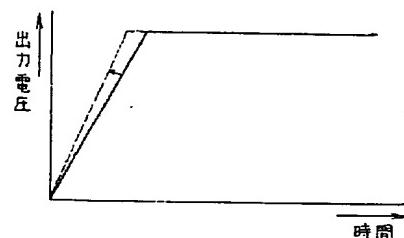
[図2]



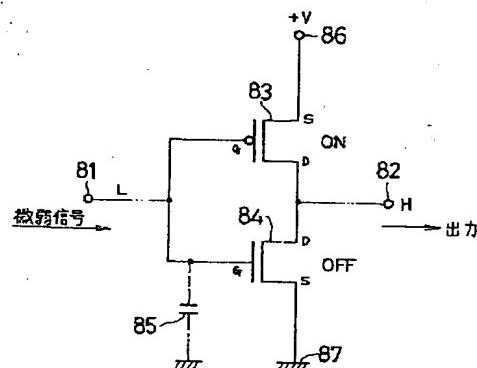
【図 5】



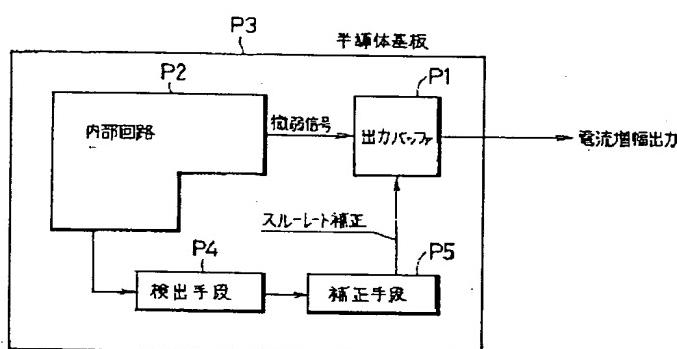
【図 6】



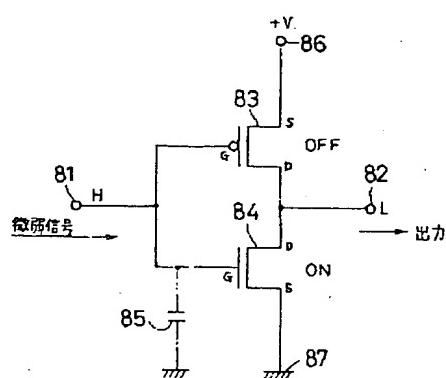
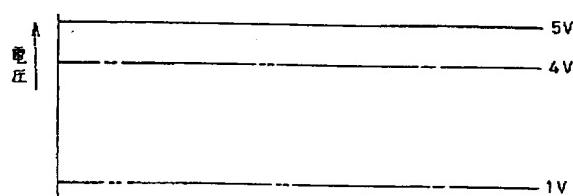
【図 8】



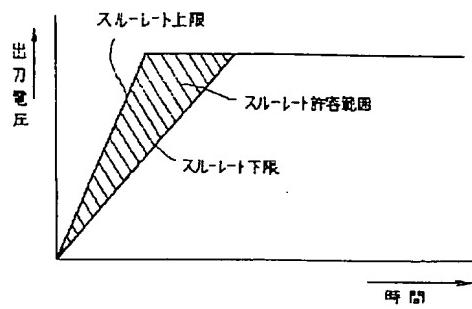
【図 7】



【図 10】



【図1-1】



## 【手続補正書】

【提出日】平成6年12月22日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

## 【補正方法】変更

## 【補正内容】

【発明の名称】出力バッファ補償回路